

УДК 004.272.2

**А. Л. Стемповский**, д-р техн. наук, академик РАН, директор,  
**Д. В. Тельпухов**, канд. техн. наук, зав. отделом, e-mail: nofrost@inbox.ru,  
**Р. А. Соловьев**, канд. техн. наук, вед. науч. сотр., **М. В. Мячиков**, студент, инженер-исследователь,  
Институт проблем проектирования в микроэлектронике РАН

## Повышение отказоустойчивости логических схем с использованием нестандартных мажоритарных элементов

*Рассмотрена актуальная задача повышения надежности комбинационных микроэлектронных схем. Предложен новый способ повышения отказоустойчивости с использованием нестандартных мажоритарных элементов (воутеров), который опирается на использование неравномерности сигнала на выходе схемы, благодаря чему появляется возможность построения более эффективных воутеров. Рассмотрен обобщенный подход внесения избыточности в схему в целях повышения надежности, а также разработана методика построения таблицы истинности оптимального мажоритарного элемента. В экспериментальной части было проведено сравнение метода с классическим трехкратным мажорированием. На частных примерах показана высокая эффективность метода в сравнении с традиционными подходами.*

**Ключевые слова:** метод повышения надежности, отказоустойчивость, комбинационная схема, мажорирование

### Введение

Интегральные схемы, используемые в вычислительных и других электронных системах, работающие под воздействием радиации и других дестабилизирующих факторов, подвержены возникновению одиночных сбоев (single event upset, SEU). Такие ошибки носят кратковременный характер и не имеют долгосрочных последствий для корректной работы интегральной схемы [1].

Исследования двадцатилетней давности констатировали необходимость защиты только регистров и модулей памяти из-за малой вероятности захвата неправильного значения сигнала регистром, а также из-за того, что комбинационная логика гораздо менее восприимчива к влиянию одиночных сбоев [2, 3]. Естественным результатом планомерной работы с тех пор явились многочисленные программные и аппаратные методы защиты последовательных элементов и модулей памяти, которыми оснащены большинство современных микропроцессоров и устройств. Однако тренд этих лет, заключающийся в росте степени интеграции, уменьшении порогового напряжения и напряжения питания, в значительной мере менял соотношение в сторону необходимости обеспечения отказоустойчивости комбинационных схем. Кроме обозначенных причин важно отметить фактор увеличения тактовых частот, увеличивающий шансы захвата ошибочных результатов, выдаваемых логическими схемами. Для

процессоров и иных микроэлектронных устройств, где последовательные элементы уже имеют встроенные механизмы защиты, комбинационные схемы быстро стали основным источником одиночных сбоев [4].

Несмотря на достигнутые успехи в разработке кодовых методов защиты, используемых при хранении, передаче, а также арифметической обработке данных [5, 6], для обеспечения требуемого уровня отказоустойчивости арифметических и логических схем до сих пор используют архаичные методы кратного резервирования [7].

Достоинством, и в то же время недостатком, традиционных мажоритарных подходов является тот факт, что они не учитывают внутренней структуры и особенностей функционирования защищаемых устройств. С одной стороны, это обеспечивает универсальность метода, позволяя применять его для любых устройств практически на всех уровнях описания схем, начиная с транзисторного представления и заканчивая логическим и микросистемным уровнем. С другой стороны, отсутствие учета различных характеристик внутреннего строения, а также вероятностного распределения сигналов на входах и выходах схемы оставляет значительное пространство для возможных усовершенствований, одному из которых посвящена настоящая работа.

В данной статье рассматривается метод мажорирования на уровне логических комбинационных

схем. Усовершенствование этого метода заключается в построении воуэтеров с более эффективной структурой. Эту структуру можно получить, проанализировав работу схемы и получив вероятностное распределение сигналов на ее выходах.

### Метод оценки отказоустойчивости комбинационных схем

Для того чтобы оценивать эффективность предлагаемых подходов и иметь возможность сравнения с традиционным мажорированием, необходимо разработать адекватный критерий для оценки архитектурной устойчивости к сбоям. Рассмотрим вначале некоторые традиционные характеристики, предлагаемые в литературе. Чаще всего используются два основных параметра, вычисляемые в процессе моделирования [8].

Первый параметр характеризует архитектурную устойчивость к ошибкам и определяется как отношение числа некорректных результатов работы схемы к общему числу инжектированных ошибок:

$$T_o = \frac{I_{cr}}{T_{er}}, \quad (1)$$

где  $I_{cr}$  — число экспериментов с несовпадением результата с эталонным;  $T_{er}$  — общее число внедренных ошибок. По сути, этот параметр определяет вероятность того, что внедренная ошибка в схему приведет к искажению работы всей схемы.

Второй параметр определяет общую устойчивость схемы к ошибкам и вычисляется как отношение числа  $C_r$  корректных результатов работы схемы к общему числу  $T_r$  тестов:

$$A = \frac{C_r}{T_r}. \quad (2)$$

Эти параметры, по сути, являются комплементарными. В условиях "шума окружающей среды" параметр общей устойчивости (2) оценивает вероятность сбоя в конкретных условиях, в то время как параметр архитектурной устойчивости оценивает вероятность сбоя в пересчете на каждую внедренную ошибку, что позволяет более объективно сравнивать схемы с большими различиями в количестве вентилях в условиях высокой вероятности ошибок.

Обозначенные характеристики отказоустойчивости определены лишь в конкретных условиях для заданной модели возникновения ошибок при конкретных параметрах. Использование этих характеристик для сравнения отказоустойчивости схем затруднено из-за необходимости оценки для разных моделей ошибок на большом диапазоне изменения параметров, при которых результаты сравнения могут существенно различаться.

Оба рассматриваемых критерия отказоустойчивости являются частными случаями некоторого

общего критерия, который мы будем называть *полиномом ошибки*. В общем смысле это аналитическое выражение, характеризующее отказоустойчивость схемы в условиях "шума окружающей среды". Обозначим вероятность ошибки в одном элементе схемы  $p$  и введем характеристическую функцию множества пар векторов входного сигнала  $X$  и ошибки  $e$ :

$$E(X, e) = \begin{cases} 1, & \text{если набор } X, e \text{ приводит} \\ & \text{к ошибке на выходе;} \\ 0, & \text{иначе.} \end{cases}$$

Учитывая, что вероятность появления на входе конкретного вектора входных сигналов  $X$  длины  $N$  (в предположении равномерности всех таких наборов) равна  $\frac{1}{2^N}$ , а вероятность возникновения вектора

ошибки  $e$  длины  $M$  и веса  $|e|$  равна  $p^{|e|} (1-p)^{M-|e|}$ , получаем вероятность ошибки на выходе схемы:

$$EOF(p) = \frac{1}{2^N} \sum_{X, e} E(X, e) p^{|e|} (1-p)^{M-|e|}, \quad (3)$$

где суммирование ведется по всем возможным  $X, e$ .

Полином ошибки  $EOF(p)$  обобщает параметр (2) для любой вероятности ошибки на вентиле, однако нахождение его требует больших вычислительных затрат. Для реальных применений трудно себе представить ситуацию, когда необходимо обеспечивать надежность устройства при  $p \rightarrow 1$ . Чаще всего математическое ожидание числа ошибок в схеме близко к единице, а вероятность ошибки на вентиле стремится к нулю, а точнее  $p \sim \frac{1}{M}$ , где  $M$  — число элементов в схеме.

Учитывая этот факт, можно сделать вывод о том, что для корректной оценки отказоустойчивости не обязательно вычислять весь полином ошибки. Достаточно вычислить полином до определенной степени, обеспечивая допустимую погрешность на значениях  $p$  от нуля до нескольких процентов.

Для этого в выражении (3)  $E(X, e)$  вычисляется только для некоторого подмножества входных  $X$  и ошибочных  $e$  наборов, а для оставшихся  $X, e$  принимается равным 0(1) для нижней (верхней) оценки полинома ошибки соответственно. Увеличивая число наборов, для которых вычисляется истинное значение  $E(X, e)$ , можно получать все более точные оценки и уменьшать погрешность измерения надежности схемы. Таким образом, снизив точность измерения, можно уменьшить и вычислительную сложность построения полинома ошибки.

### Использование неравномерности распределения значений сигнала на выходе

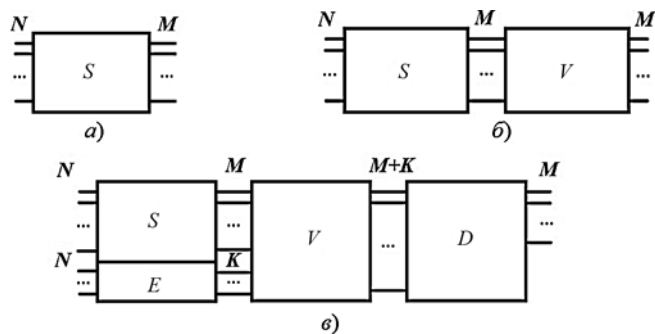
В основе предлагаемого подхода лежит тот факт, что значения сигнала на выходе большинства схем

распределены неравномерно. В частности, иногда существуют значения, которые вовсе не могут появиться на выходе схемы. Классический подход, заключающийся в использовании нескольких переключателей по большинству по одному на каждый выход схемы, может приводить к ситуации, когда на выходе всей защищенной этим методом схемы появляется запрещенное состояние, которое невозможно ни при каком входном векторе. Предлагается заменить мажорирующую часть этого подхода на схему, учитывающую неравномерность распределения значений сигнала на выходе схемы, т. е. изменить таблицу истинности мажоритарного элемента. Во всех примерах ниже будем рассматривать трехкратное мажорирование в качестве исходного подхода и попытаемся улучшить надежность, модифицируя мажоритарный элемент.

Для того чтобы дать строгое определение для оптимальных воутеров, опишем сначала обобщенный мажоритарный подход, частным случаем которого является трехкратное мажорирование.

Пусть схема  $S$ , изображенная на рис. 1, подвержена ошибкам. Значение сигнала на выходе  $S$  является разрешенным, если существует входная комбинация, приводящая к такому значению на выходе. Требуется построить такую схему  $V$ , входом которой является выход  $M$  схемы  $S$ , а результатом работы — наиболее вероятное, разрешенное значение на выходе  $S$ . Причем построенная таким образом из двух схем система должна быть эквивалентна исходной схеме, т. е. если значение на выходе  $S$  является разрешенным, то на выходе схемы  $V$  должно быть разрешенное значение. В случае когда все возможные значения сигнала на выходе  $S$  являются разрешенными, схема  $V$  в силу условия эквивалентности всегда выдает результат, полученный на входе. Таким образом, для защиты схемы  $S$  с помощью корректирующей дополнительной схемы  $V$  необходимо, чтобы у схемы  $S$  существовали запрещенные выходные значения, невозможные ни при какой входной комбинации.

Для схем, все выходные значения которых являются разрешенными, следует добавить дополни-



**Рис. 1. Обобщенный мажоритарный подход:**  
*a* — исходная схема; *б* — схема, защищенная воутером; *в* — расширение схемы для обеспечения защиты; *S* — исходная схема; *E* — дополнительная схема; *V* — воутер; *D* — декодер

тельные выходы таким образом, чтобы у полученной расширенной схемы появились запрещенные выходные значения. Для полученной схемы можно построить нетривиальный воутер и затем отобразить полученные на выходе воутера расширенные выходные значения в значения исходной схемы.

Трехкратное мажорирование является частным случаем такого подхода. Действительно, дополнительные экземпляры схемы добавляют дополнительные выходы, создавая запрещенные выходные значения — значения, в которых не совпадают результаты экземпляров схемы. Связка воутер-декодер в данном случае представлена несколькими (по числу выходов) переключателями по большинству.

Не принимая во внимание вопрос об оптимальном расширении схемы, попытаемся для заданной схемы с запрещенными состояниями построить оптимальный воутер.

Обозначим функцию, которую выполняет схема  $S: \{0, 1\}^N \times \{0, 1\}^L \rightarrow \{0, 1\}^M$ , где  $N, M, L$  — число входов, выходов и элементов схемы соответственно. Будем писать  $S(x, e) = y$ , если на входном векторе  $x$  и векторе ошибок в элементах схемы  $e$  схема выдает результат  $y$ . Пусть теперь  $X$  и  $E$  — случайные дискретные векторные величины с распределениями

$$P(X = x) = \frac{1}{2^N} \text{ и } P(E = e) = p^{|e|}(1-p)^{L-|e|}.$$

Определим теперь функцию воутера  $V(y)$ . Для разрешенных значений  $y$  схемы:

$$V(y) = y$$

в силу условия эквивалентности исходной схеме.

Для запрещенных  $y$  значение воутера должно быть максимально вероятным из всех возможных, т. е.

$$V(y) = \operatorname{argmax}_z P(\{X = x, E = e | S(x, 0) = z\} | \{X = x, E = e | S(x, 0) = z \wedge S(x, e) = y\}).$$

Иными словами, значению  $y$  на входе оптимального воутера следует поставить в соответствие значение  $z$  с максимальной вероятностью того, что на выходе  $S$  был бы получен результат  $z$ , если бы она работала безошибочно, при условии, что на выходе  $S$  (с учетом возникших ошибок) получен результат  $y$ . То есть запрещенному значению  $y$  на входе оптимального воутера следует поставить в соответствие разрешенное значение  $z$ , которое имело наибольшую вероятность перехода в это запрещенное состояние.

Таким образом, оптимальный воутер задается выражением

$$V(y) = \begin{cases} y, & \text{если } \exists x S(x, 0) = y, \\ \text{иначе} \\ \operatorname{argmax}_z P(\{X = x, E = e | S(x, 0) = z\} | \{X = x, E = e | S(x, 0) = z \wedge S(x, e) = y\}). \end{cases} \quad (4)$$

Далее на конкретных примерах рассмотрим методику построения оптимальных воутеров.

## Построение оптимальных воутеров

Рассмотрим сначала схему с одним выходом. В этом случае есть всего два выходных значения 0 и 1, и для схем, имеющих практическую ценность (не реализующих константу), ни одно из них не является запрещенным. Применяя трехкратное мажорирование, получим схему с тремя выходами, которые следует подать на вход мажорирующему элементу. Таблица истинности этого элемента должна удовлетворять условию эквивалентности исходной и модифицированной схем. То есть, если значения на входах мажорирующего элемента равны, он должен выдать это значение. Очевидно также, что при перестановке входов мажорирующего элемента, результат на его выходе не должен меняться. Эти условия ограничивают множество таблиц истинности мажорирующего элемента всего тремя вариантами, представленными в табл. 1.

Как будет показано в экспериментальной части, замена стандартного воутера одной из двух предложенных альтернатив в некоторых случаях приводит к значительному повышению надежности.

В случае если схема имеет несколько выходов, в классическом подходе они мажорируются независимо, с выбором результата с помощью переключателя по большинству для каждого выхода отдельно. Для некоторых схем такой подход приводит к ситуации, когда мажорирующий элемент выдает результат, заведомо невозможный для исходной схемы ни на какой входной последовательности (например, когда все экземпляры схемы выдали в качестве ре-

зультата "запрещенное" значение). Меняя таблицу истинности мажорирующего элемента, можно исключить такие ситуации, тем самым повышая отказоустойчивость конечного устройства.

Рассмотрим такое построение на примере схемы С17 с пятью входами и двумя выходами, которая представлена на рис. 2.

Рассмотрим схему  $S$ , состоящую из трех экземпляров С17 с объединенными входами.

Чтобы получить значения оптимального воутера  $V$ , построим матрицу, у которой в  $i$ -й строке и  $j$ -м столбце стоит следующая вероятность:

$$M_{ij} = P(\{X = x, E = e | S(x, 0) = i \wedge S(x, e) = j\}), \quad (5)$$

т. е. вероятность того, что при безошибочной работе схема выдаст результат  $i$  при условии, что схема выдала результат  $j$ .

Тогда, если  $y$  не является разрешенным для  $S$ , то  $V(y) = \operatorname{argmax}_i M_{iy}$ . Это следует из (1), если выразить условную вероятность как отношение:

$$P(B|A) = \frac{P(AB)}{P(A)}.$$

Так как в данном случае  $A$  фиксировано, можно вместо максимума условной вероятности искать максимум вероятности совместного события  $AB$ .

Матрица  $M_{ij}$  содержит в себе информацию о всех возможных элементарных исходах и сумма всех ее элементов равна единице. Выбрав какую-либо таблицу истинности для воутера, можно по этой матрице вычислить вероятность  $P_{VE}(p)$  возникновения исхода, в котором воутер принимает неверное решение. Суть предлагаемого метода заключается в выборе такой таблицы истинности, для которой эта вероятность минимальна. При этом для разных  $p$  таблицы истинности оптимальных воутеров могут различаться. Чтобы избавиться от такой зависимости, будем считать  $p$  достаточно малым и для сравнения воутеров с разными таблицами истинности будем пользоваться непосредственно соответствующими полиномами  $P_{VE}$ , сравнивая их в лексикографическом порядке.

В табл. 2 представлена функция воутера, полученная описанным способом. Строки с разрешенными значениями  $S$  опущены для более компактного представления. Для комбинаций, получающихся друг из друга перестановкой, оставлен только один вариант.

На данном примере видно, что таблица истинности оптимального воутера для схемы С17 совпадает с таблицей стандартного воутера из двух переключателей по большинству. Для большого числа схем стандартный подход является оптимальным в силу незначительной неравномерности распределения выходных значений. Таблицы истинности двух воутеров для схем с более выраженной корреляцией между выходами будут различаться. Рассмот-

Таблица 1

Три варианта воутеров для схем с одним выходом

Стандартный воутер	Воутер И	Воутер ИЛИ																																																																																																												
<table border="1"> <tr><th><math>x_1</math></th><th><math>x_2</math></th><th><math>x_3</math></th><th><math>f</math></th></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td></tr> </table>	$x_1$	$x_2$	$x_3$	$f$	0	0	0	0	0	0	1	0	0	1	0	0	0	1	1	1	1	0	0	0	1	0	1	1	1	1	0	1	1	1	1	1	<table border="1"> <tr><th><math>x_1</math></th><th><math>x_2</math></th><th><math>x_3</math></th><th><math>f</math></th></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td></tr> </table>	$x_1$	$x_2$	$x_3$	$f$	0	0	0	0	0	0	1	0	0	1	0	0	0	1	1	0	1	0	0	0	1	0	1	0	1	1	0	0	1	1	1	1	<table border="1"> <tr><th><math>x_1</math></th><th><math>x_2</math></th><th><math>x_3</math></th><th><math>f</math></th></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td></tr> </table>	$x_1$	$x_2$	$x_3$	$f$	0	0	0	0	0	0	1	1	0	1	0	1	0	1	1	1	1	0	0	1	1	0	1	1	1	1	0	1	1	1	1	1
$x_1$	$x_2$	$x_3$	$f$																																																																																																											
0	0	0	0																																																																																																											
0	0	1	0																																																																																																											
0	1	0	0																																																																																																											
0	1	1	1																																																																																																											
1	0	0	0																																																																																																											
1	0	1	1																																																																																																											
1	1	0	1																																																																																																											
1	1	1	1																																																																																																											
$x_1$	$x_2$	$x_3$	$f$																																																																																																											
0	0	0	0																																																																																																											
0	0	1	0																																																																																																											
0	1	0	0																																																																																																											
0	1	1	0																																																																																																											
1	0	0	0																																																																																																											
1	0	1	0																																																																																																											
1	1	0	0																																																																																																											
1	1	1	1																																																																																																											
$x_1$	$x_2$	$x_3$	$f$																																																																																																											
0	0	0	0																																																																																																											
0	0	1	1																																																																																																											
0	1	0	1																																																																																																											
0	1	1	1																																																																																																											
1	0	0	1																																																																																																											
1	0	1	1																																																																																																											
1	1	0	1																																																																																																											
1	1	1	1																																																																																																											

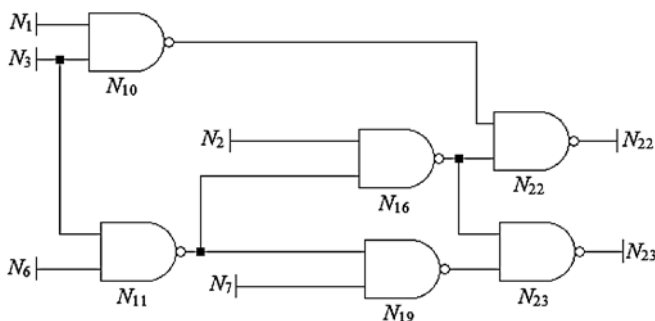


Рис. 2. Схема ISCAS85 C17

рим следующий пример. Пусть исходная схема  $S$  имеет вид, представленный на рис. 3.

Как видно, у такой схемы существует запрещенное состояние — 10. Легко показать, что существуют такие комбинации входов и ошибок на элементах, когда стандартный мажоритарный элемент

Таблица 2  
Функция оптимального воутера для схемы C17

C17_1	C17_2	C17_3	$V_{optimal}$	$V_{standard}$
00	00	01	00	00
00	00	10	00	00
00	00	11	00	00
00	01	01	01	01
00	01	10	00	00
00	01	11	01	01
00	10	10	10	10
00	10	11	10	10
00	11	11	11	11
01	01	10	01	01
01	01	11	01	01
01	10	10	10	10
01	10	11	11	11
01	11	11	11	11
10	10	11	10	10
10	11	11	11	11

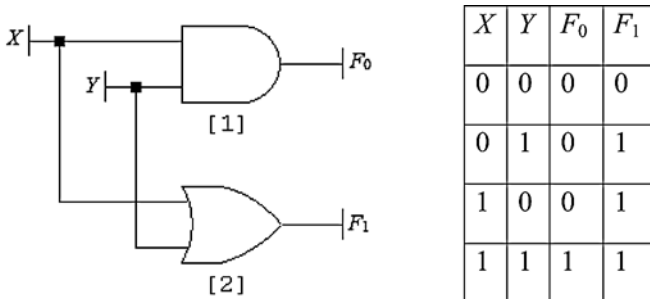


Рис. 3. Схема с запрещенным состоянием

Таблица 3  
Стандартный и оптимальный воутер для схемы с запрещенным состоянием

$S_1$	$S_2$	$S_3$	$V_{optimal}$	$V_{standard}$
00	00	01	00	00
00	00	10	00	00
00	00	11	00	00
00	01	01	01	01
00	01	10	00	00
00	01	11	01	01
00	10	10	00	10
00	10	11	00 и 11 равновероятны	10
00	11	11	11	11
01	01	10	01	01
01	01	11	01	01
01	10	10	00 и 11 равновероятны	10
01	10	11	11	11
01	11	11	11	11
10	10	11	11	10
10	11	11	11	11

выдает заведомо неправильное запрещенное значение. Оптимальный воутер лишен этого недостатка. Таблицы истинностей для оптимального и стандартного воутеров представлены в табл. 3.

Полученная таблица истинности позволяет в рамках данного подхода достичь максимальной надежности схемы при условии безошибочности мажоритарного элемента.

В различных исследованиях, посвященных повышению отказоустойчивости, схема декодера зачастую не рассматривается в качестве объекта для сбоя и отказов [9—11]. В некоторых случаях на практике действительно стараются строить схему воутера из более надежных элементов, но чаще всего воутер также подвержен ошибкам и, так как он находится наиболее близко к выходу всей схемы, их влияние весьма велико. В нашем случае для схемы с большим числом выходов это влияние зачастую превосходит выигрыш от использования более оптимальной таблицы истинности (оптимальный воутер, как правило, сложнее стандартного и чаще ошибается). Это обстоятельство сужает границы применения такого подхода и практически не позволяет использовать его для схем с числом выходов больше двух.

Решение проблемы чрезмерного разрастания модифицированного воутера требует исследования. Одним из вариантов ее решения может служить мажорирующий элемент, который учитывает связи только нескольких, наиболее зависимых выходов, а остальные выходы мажорирует как независимые. Результаты моделирования с учетом ошибок, возникающих в воутере, рассматриваются в следующем разделе.

### Результаты экспериментов

Рассмотрим некоторые схемы, неравномерность которых достаточна для получения высокого уровня отказоустойчивости при использовании нестандартных воутеров. Первая схема, изображенная на рис. 4, реализует булеву функцию  $F_0(A, B, C, D, E) = ABCDE$  и принимает значение 1 только на одном наборе — (1, 1, 1, 1, 1):

Воспользовавшись подходом, описанным выше, построим для трехкратно мажорированной схемы соответствующую матрицу  $M$  вероятностей возможных исходов. По этой матрице построим зависимость  $P_{VE}(p)$  для стандартного и оптимального воутеров. Вероятность ошибки воутера представлена на рис. 5.

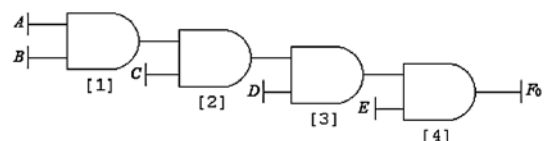


Рис. 4. Схема  $F_0 = ABCDE$

Как видно, до точки  $p = 0,03125$  оптимальным является стандартный воутер, однако при больших вероятностях отказа одного элемента схемы оптимальным становится воутер AND. При условии безошибочности воутера вероятность отказа всей избыточной схемы в точности равна  $P_{VE}(p)$ , однако для реальных воутеров, подверженных ошибкам, этот параметр является ориентировочным и не всегда отражающим реальную надежность полученной схемы. Графики зависимости вероятности ошибки схемы от вероятности отказа одного элемента для четырех рассмотренных вариантов — трехкратного мажорирования со стандартным и воутерами AND и OR, а также исходной схемы представлены на рис. 6.

Как видно из графика, воутер AND позволяет для данной схемы применить трехкратное мажорирование, тогда как стандартный воутер приводит лишь к ухудшению показателя надежности. При

этом такой прием позволяет достичь существенного уменьшения вероятности ошибки.

Проведенные эксперименты показывают, что для схем, подобных этой, а именно, реализующих булевы функции  $ABCD$ ,  $ABCDE$ ,  $ABCDEF$ ,  $A + B + C + D$ ,  $A + B + C + D + E$  и т. д., замена стандартного воутера на воутер AND (или OR) дает существенный прирост надежности. Подобный результат получен также и для схем, в которых одно из выходных значений возникает достаточно редко (порядка вероятности отказа одного элемента  $p$ ), а не только на одном наборе входных значений.

Рассмотрим схему, представленную на рис. 7. Она реализует булеву функцию  $F_1(A, B, C, D) = ABCD + \bar{A}\bar{B}\bar{C}\bar{D}$ . Результаты оценки ее отказоустойчивости, а также отказоустойчивости мажорированных схем с различными типами воутеров представлены на рис. 8.

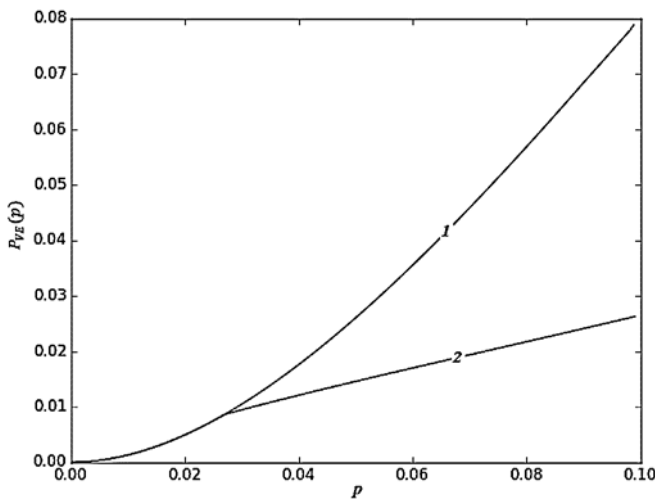


Рис. 5. Вероятность ошибки для: 1 — стандартного воутера; 2 — оптимального воутера

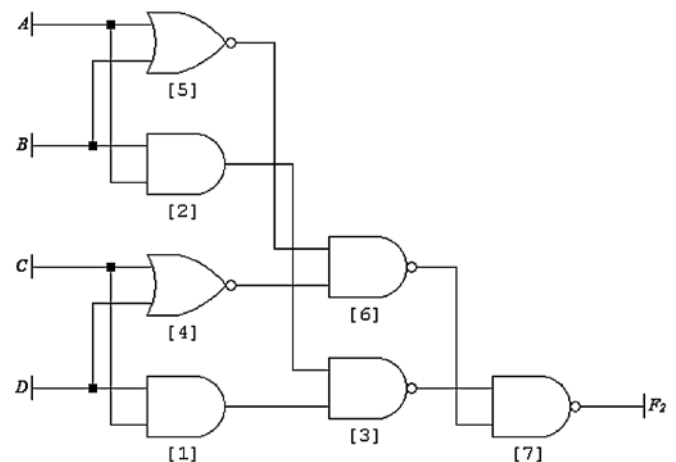


Рис. 7. Схема  $F_1(A, B, C, D) = ABCD + \bar{A}\bar{B}\bar{C}\bar{D}$

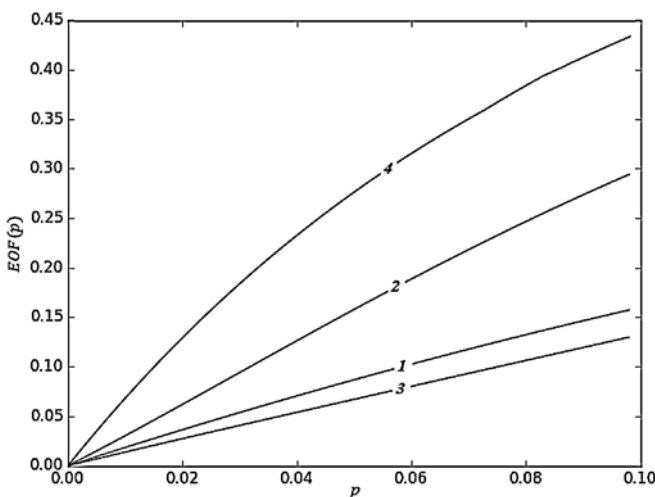


Рис. 6.  $EOF(p)$  для: 1 — исходной схемы  $F_0$ , а также  $F_0$ , защищенной: 2 — стандартным воутером, 3 — воутером AND, 4 — воутером OR

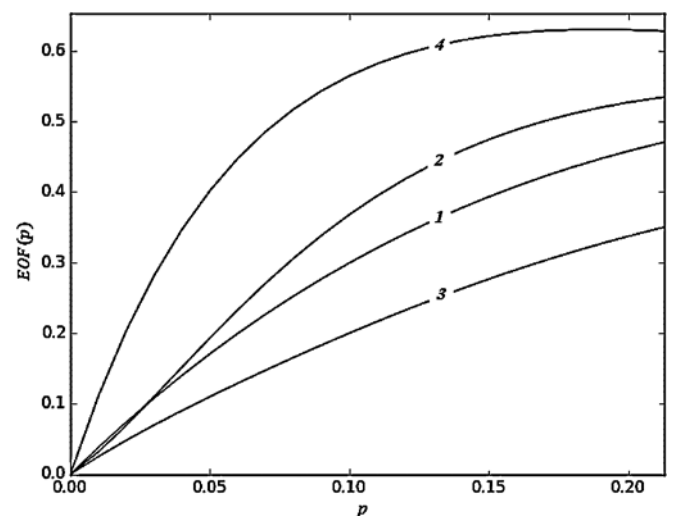


Рис. 8.  $EOF(p)$  для: 1 — исходной схемы  $F_1$ , а также  $F_1$ , защищенной: 2 — стандартным воутером, 3 — воутером AND, 4 — воутером OR

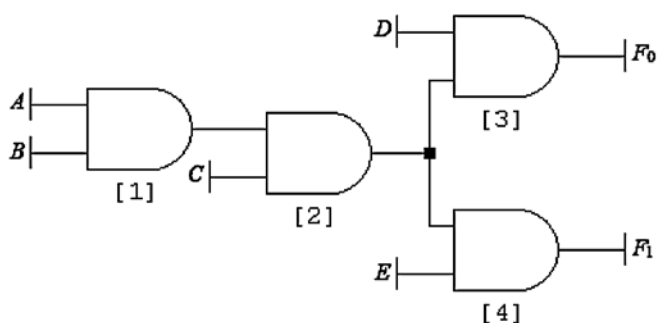


Рис. 9. Схема с двумя выходами  $F_2$  ( $A, B, C, D, E$ )

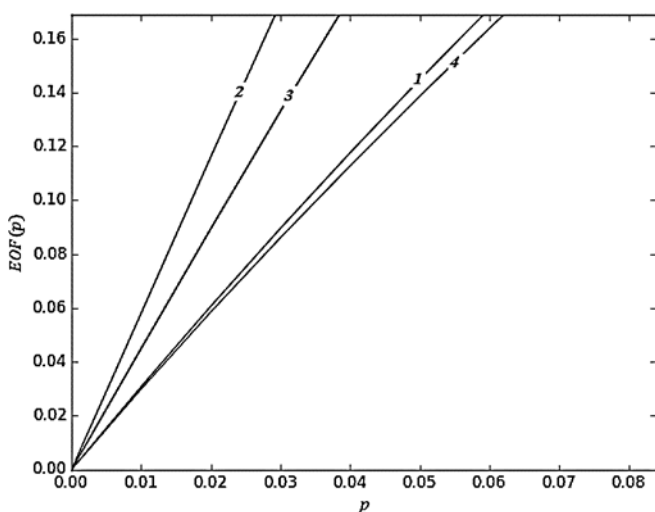


Рис. 10.  $EOF(p)$  для:  
1 — исходной схемы  $F_2$ , а также  $F_2$ , защищенной: 2 — двумя стандартными воутерами, 3 — стандартным воутером и воутером AND, 4 — двумя воутерами AND

Как видно, предлагаемая замена стандартного воутера приводит к существенному увеличению показателя надежности и для некоторых нетривиальных случаев.

Предлагаемый подход можно также применить и к схемам с числом выходов больше одного. Например, для схемы, представленной на рис. 9, были получены результаты трехкратного мажорирования с различными комбинациями из двух воутеров. Результаты в виде графиков представлены на рис. 10.

Здесь кривая 3 демонстрирует отказоустойчивость схемы, в которой первый выход был промажорирован с использованием традиционного воутера, тогда как второй выход — с помощью воутера AND. Как видно, в случае нескольких выходов, предлагаемый подход на некоторых схемах также увеличивает надежность.

### Заключение

В результате проведенного исследования были получены теоретические результаты, описывающие

способ создания оптимального воутера с точки зрения выбора наиболее вероятного значения для каждой конкретной мажорируемой схемы. Это позволило обобщить подход стандартного мажорирования. Экспериментальные результаты продемонстрировали применимость данного подхода для ряда схем с высокой неравномерностью выходных данных, нетрадиционные воутеры которых получаются проще традиционных мажоритарных элементов. Для ряда схем получены их более надежные аналоги, имеющие более высокий уровень отказоустойчивости, чем схемы, полученные методом стандартного трехкратного мажорирования.

*Исследование выполнено за счет гранта Российского научного фонда (проект № 14-19-01036).*

### Список литературы

1. Wang F., Agraval V. D. Single Event Upset: An Embedded Tutorial // Proc. of 21<sup>st</sup> International Conference on VLSI Design, Hyderabad — India, 4—8 Jan. 2008. P. 429—434.
2. Gaisler J. Evaluation of a 32-bit microprocessor with built in concurrent error-detection // Twenty-Seventh Annual International Symposium on Fault-Tolerant Computing. 1997. P. 42—46.
3. Liden P., Dahlgren P., Johansson R., Karlsson J. On Latching Probability of Particle Induced Transients in Combinational Networks // Proceedings of the 24<sup>th</sup> Symposium on Fault-Tolerant Computing (FTCS-24). 1994. P. 340—349.
4. Chen W., Gong R., Liu F., Dai K., Wang Z. Improving, the Fault Tolerance of a Computer System with Space-Time Triple Modular Redundancy // Proceedings International Conference on Dependable Systems and Networks. 23—26 June 2006. P. 389—398.
5. Морелос-Сарагоса Р. Искусство помехоустойчивого кодирования. Методы, алгоритмы, применение // М.: Техносфера. 2006. 320 с.
6. Амербаев В. М., Корнилов А. И., Стемповский А. Л. Модулярная логарифметика — новые возможности для проектирования модулярных вычислителей и преобразователей // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). Т. 1. 2010. С. 368—373.
7. El-Maleha A. H., Oughalia F. C. A generalized modular redundancy scheme for enhancing fault tolerance of combinational circuits // Microelectronics Reliability. 2014. Vol. 54, N. 1. P. 316—326.
8. Стемповский А. Л., Тельпухов Д. В., Соловьев Р. А., Соловьев А. Н., Мячиков М. В. Моделирование возникновения неисправностей для оценки надежностных характеристик логических схем // Информационные технологии, 2014. № 11. С. 30—36.
9. Амербаев В. М., Соловьев Р. А., Тельпухов Д. В., Балака Е. С. Построение обратных преобразователей модулярной арифметики с коррекцией ошибок на базе полиадического кода // Нейрокомпьютеры: разработка, применение. 2014. № 9. С. 30—35.
10. Соловьев Р. А., Тельпухов Д. В., Балака Е. С. Устройство для вычисления скалярного произведения векторов с коррекцией ошибок на базе системы остаточных классов // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). 2014. № 4. С. 173—178.
11. Амербаев В. М., Балака Е. С., Щелоков А. Н. Применение структурной избыточности для повышения надежности арифметического узла вычислительного элемента бимодулярной арифметики // Известия Южного федерального университета. Технические науки. 2014. № 7 (156). С. 255—261.

A. L. Stempkovskiy, Director, D. V. Telpukhov, Head of the department, e-mail: nofrost@inbox.ru,  
R. A. Solovyev, Chief Researcher, M. V. Myachikov, Student, Research Engineer IPPM RAS  
Institute for Design Problems in Microelectronics

## Improving the Fault Tolerance of Logic Circuits Using Unconventional Majority Voters

*The article deals with the actual task of improving the reliability of the combinational microelectronic circuits. A new method of fault tolerance improvement using unconventional majority voters is proposed. Method relies on the use of non-uniformity of the signal at the output of the circuit, making it is possible to build a more effective voter. The article describes a generic approach of introducing redundancy into the scheme in order to increase reliability, and a method of constructing a truth table for optimal majority voter is also developed. In the experimental part of the paper, the proposed method was compared with the classic triple modular redundancy scheme. Particular examples show the high efficiency of the method compared to traditional approaches.*

**Keywords:** the method of fault tolerance increase, fault tolerance, combinational circuit, triple modular redundancy

### References

1. Wang F., Agraval V. D. Single Event Upset: An Embedded Tutorial. *Proc. of 21<sup>st</sup> International Conference on VLSI Design, Hyderabad — India*, 4–8 Jan., 2008, pp. 429–434.
2. Gaisler J. Evaluation of a 32-bit microprocessor with built in concurrent error-detection. *Twenty-Seventh Annual International Symposium on Fault-Tolerant Computing*, 1997, pp. 42–46.
3. Liden P., Dahlgren P., Johansson R., Karlsson J. On Latching Probability of Particle Induced Transients in Combinational Networks. *Proceedings of the 24<sup>th</sup> Symposium on Fault-Tolerant Computing (FTCS-24)*, 1994, pp. 340–349.
4. Chen W., Gong R., Liu F., Dai K., Wang Z. Improving the Fault Tolerance of a Computer System with Space-Time Triple Modular Redundancy. *Proceedings International Conference on Dependable Systems and Networks*, 23–26 June 2006, pp. 389–398.
5. Morelos-Saragosa R. *Iskusstvo pomehoustojchivogo kodirovaniya. Metody, algoritmy, primeneniye*, Moscow, Tehnosfera, 2006, 320 p.
6. Amerbaev V. M., Kornilov A. I., Stempkovskij A. L. Moduljarnaja logarifmetika — novye vozmozhnosti dlja proektirovaniya moduljarnyh vychislitelej i preobrazovatelej. *Problemy razrabotki perspektivnyh mikro- i nanojelektronnyh sistem (MES)*, 2010, vol. 1, pp. 368–373.
7. El-Maleha A. H., Oughalia F. C. A generalized modular redundancy scheme for enhancing fault tolerance of combinational circuits. *Microelectronics Reliability*, 2014, vol. 54, no. 1, pp. 316–326.
8. Stempkovskij A. L., Tel'puhov D. V., Solov'ev R. A., Solov'ev A. N., Mjachikov M. V. Modelirovanie vozniknovenija neispravnostej dlja ocenki nadezhnostnyh harakteristik logicheskikh shem. *Informacionnye tehnologii*, 2014, no. 11, pp. 30–36.
9. Amerbaev V. M., Solov'ev R. A., Tel'puhov D. V., Balaka E. S. Postroenie obratnyh preobrazovatelej moduljarnoj arifmetiki s korekciej oshibok na baze poliadicheskogo koda. *Nejrokomputjery: razrabotka, primeneniye*, 2014, no. 9, pp. 30–35.
10. Solov'ev R. A., Tel'puhov D. V., Balaka E. S. Ustrojstvo dlja vychislenija skaljarnogo proizvedeniya vektorov s korekciej oshibok na baze sistemy ostatocnyh klassov. *Problemy razrabotki perspektivnyh mikro- i nanojelektronnyh sistem (MJeS)*, 2014, no. 4, pp. 173–178.
11. Amerbaev V. M., Balaka E. S., Shhelokov A. N. Primeniye strukturnoj izbytochnosti dlja povysheniya nadezhnosti arifmeticheskogo uzla vychislitel'nogo jelementa bimodul'noj arifmetiki. *Izvestija Juzhnogo federal'nogo universiteta. Tehniceskie nauki*, 2014, no. 7 (156), pp. 255–261.

Теоретический и прикладной научно-технический журнал

## ПРОГРАММНАЯ ИНЖЕНЕРИЯ

ISSN 2220-3397

В журнале освещаются состояние и тенденции развития основных направлений индустрии программного обеспечения, связанных с проектированием, конструированием, архитектурой, обеспечением качества и сопровождением жизненного цикла программного обеспечения, а также рассматриваются достижения в области создания и эксплуатации прикладных программно-информационных систем во всех областях человеческой деятельности.

*Журнал распространяется только по подписке.*

*Оформить подписку можно через подписные Агентства или непосредственно в редакции журнала.*

Подписные индексы по каталогам:  
"Роспечать" — 22765; "Пресса России" — 39795

107076, Москва, Стромынский пер., 4  
Тел./факс: (499) 269-55-10  
e-mail: prin@novtex.ru  
<http://novtex.ru/pi.html>