

#### Список литературы

1. **Bailey D. H.** High-Precision Computation and Mathematical Physics // Lawrence Berkeley National Laboratory, 2009. URL: <http://crd-legacy.lbl.gov/~dhbailey/dhbpapers/dhb-jmb-acat08.pdf>
2. **Соловьев Р. А., Балака Е. С., Тельпухов Д. В.** Устройство для вычисления скалярного произведения векторов с коррекцией ошибок на базе системы остаточных классов // Проблемы разработки перспективных микро- и наноэлектронных систем — 2014. Сборник трудов / Под общ. ред. А. Л. Стемпковского. М.: Изд. ИППМ РАН, 2014. Часть IV. С. 173—178.
3. **Phatak D. S., Koren I.** Hybrid Signed Digit Number Systems: A Unified Framework for Redundant Number Representations with

Bounded Carry Propagation Chains // IEEE Transactions on Computers. August 1994. V. 43. N. 8. P. 880—891.

4. **Дзегеленок И. И., Оцоков Ш. А.** Алгебраизация числовых представлений в обеспечении высокоточных суперкомпьютерных вычислений // Вестник МЭИ. 2010. № 3. С. 107—116.
5. **Оцоков Ш. А.** Эффективный алгоритм округления в высокоточных вычислениях в модулярной арифметике // Информационные технологии. 2013. № 10. С. 35—39.
6. **Исупов К. С.** Модулярно-позиционный формат и программный пакет для разрядно-параллельных вычислений высокой точности // Вестник Южноуральского государственного университета. 2013. № 1.

**Sh. A. Otsokov.** Associate Professor, e-mail: [shamil24@mail.ru](mailto:shamil24@mail.ru),  
National Research University "MPEI"

## Acceleration of High-Precision Computation Based on Parallelization of Group Number Systems

*In article the method of acceleration of high-precision computation based on parallelization of two numeral systems is offered: modular and signed-digital. Advantages of this approach are connected with high speed of not modular operations, such as the back transformation to a position numeral system from residue number system, comparisons of numbers, definition of a sign.*

**Keywords:** modular arithmetic, high accuracy computation, redundant number system

#### References

1. **Bailey D. H.** High-Precision Computation and Mathematical Physics. Lawrence Berkeley National Laboratory, 2009. URL: <http://crd-legacy.lbl.gov/~dhbailey/dhbpapers/dhb-jmb-acat08.pdf>
2. **Solov'ev R. A., Balaka E. S., Tel'pukhov D. V.** Ustroistvo dlya vychisleniya skalyarnogo proizvedeniya vektorov s korrrektsiei oshibok na baze sistemy ostatochnykh klassov. *Problemy razranotki perspektivnykh mikro- i nanoelektronnykh sistem—2014. Sbornik trudov pod obshch. red. ak. RAN A. L. Stempkovskogo. M.: IPPM RAN, 2014. Chast' IV. P. 173—178.*
3. **Phatak D. S., Koren I.** Hybrid Signed Digit Number Systems: A Unified Framework for Redundant Number Representations with

Bounded Carry Propagation Chains. *IEEE Transactions on Computers.* August 1994. V. 43. N. 8. P. 880—891.

4. **Dzegelenok I. I., Otsokov Sh. A.** Algebraizatsiya chislovykh predstavlenii v obespechenii vysokotochnykh superkomp'yuternykh vychislenii. *Vestnik MEI.* 2010. N. 3. P. 107—116.
5. **Otsokov Sh. A.** Effektivnyi algoritm okrugleniya v vysokotochnykh vychisleniyakh s modulyarnoi arifmetike. *Informatsionnye tekhnologii.* 2013. N. 10. P. 35—39.
6. **Isupov K. S.** Modulyarno-pozitsionnyi format i programmnyi paket dlya razryadno-parallelnykh vychislenii vysokoi tochnosti. *Vestnik Yuzhnoural'skogo gosudarstvennogo universiteta.* 2013. N. 1. P. 65—80.

УДК 004.272.42

**Р. Н. Федюнин,** канд. техн. наук, доц., e-mail: [frn\\_penza@mail.ru](mailto:frn_penza@mail.ru)  
Пензенский государственный университет, г. Пенза

## Оценка пространственной сложности функциональных блоков АЛУ на базе однородных вычислительных структур

*Рассмотрен способ оценки пространственной сложности вычислительных модулей на базе систолических структур. Данный подход позволяет быстро и адекватно провести оценку аппаратных затрат на реализацию вычислительных алгоритмов в рамках однородных вычислительных структур как позиционной, так и модулярной арифметики.*

**Ключевые слова:** пространственная сложность, систолическая структура, модулярная позиционная арифметика, класс вычислений

При проектировании вычислительных устройств разработчики, помимо прочих, выделяют две задачи: расчет временной и пространственной (в данном примере она же — аппаратная) сложности вычислений [1]. В данной работе рассмотрен способ оценки

пространственной сложности вычислительных модулей [2] на базе систолических структур [3—5]. Данный подход позволяет быстро и адекватно провести теоретическую оценку аппаратных затрат на реализацию вычислительных алгоритмов в рамках

однородных вычислительных структур (ОВС) как позиционной [3], так и модулярной арифметики [4].

Для иллюстрации описываемого способа оценки пространственной сложности в качестве примера возьмем схему VLIW-процессора (рис. 1).

Каждый блок АЛУ процессора — однородная вычислительная структура класса А [5] (рис. 2), пространственную сложность которой требуется оценить для последующего сравнительного анализа с аналогами.

К классу А вычислений относятся вычисления, для которых справедливы приведенные ниже положения.

1. Обрабатываемая структура данных состоит из  $N$  элементов, каждый из которых представлен  $M$ -разрядным двоичным кодом.

2. На каждом шаге вычислений выполняемая  $P_n$  операция преобразования элемента данных из набора  $P$  является итерационно-разрядной операцией: вычисляемое значение  $i$ -го разряда зависит от вычисленного значения  $(i - 1)$ -го разряда.

3. При выполнении вычислений  $P$  обработка элементов структуры  $N$  — массовая: одна и та же операция преобразования  $P_n$  применяется ко всем  $N$  элементам обрабатываемой структуры данных.

4. При выполнении вычислений  $P$  обработка данных  $N$ -элементной структуры — итерационно-независимая: значение результата обработки  $i$ -го элемента данных не зависит от результата обработки  $(i - 1)$ -го элемента данных, порядок поступления данных на обработку не имеет значения.

Отметим, что в работах [6—8] рассмотрен расчет пространственной сложности только для вычислительных структур в позиционной системе счисления, а рассматриваемый в данной работе способ справедлив как для позиционной, так и для модулярной обработки данных.

Отличия топологий ОВС в позиционной системе счисления и модулярной ОВС в том, что ОВС в позиционной системе счисления обрабатывает число определенной разрядности, а значит ее размерность по ширине и высоте определяется разрядностью данных. Рис. 3 иллюстрирует прямо пропорциональное увеличение аппаратных затрат при увеличении разрядности ОВС в позиционной системе счисления — увеличение разрядности данных в 2 раза требует увеличения аппаратных ресурсов ОВС примерно в 4 раза.

В свою очередь, для обработки тех же данных, но в системе остаточных классов (СОК), обработка ведется не самих исходных данных, а остатков от данных по конкретным модулям [8]. Так, в работах [10—12] показано, что для обработки 32-разрядного позиционного числа требуются  $7 \times 7$  разрядные модулярные ОВС и 7-разрядные регистры хранения данных и результата. При этом число требуемых для этого параллельно работающих блоков увеличивается не в несколько раз, а на константу, значение которой определяется разрядностью данных [8, 9]. С учетом рассмотренной специфики графиче-

ское представление матрицы ОВС в СОК иллюстрируется рис. 4.

Отметим, что последующий анализ не учитывает временные и аппаратные затраты на преобразование данных из позиционной системы счисления в СОК и обратно, данное исследование подробно проведено в работах [3, 12].

Фактором оценки аппаратных затрат на реализацию ОВС в различных системах счисления является число ячеек, которое требуется для реализации того или иного типа вычислений.

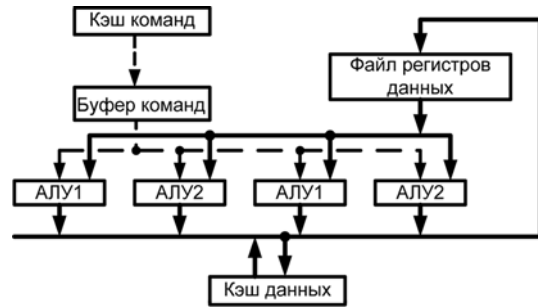


Рис. 1. Обобщенная структура операционной части VLIW-процессора

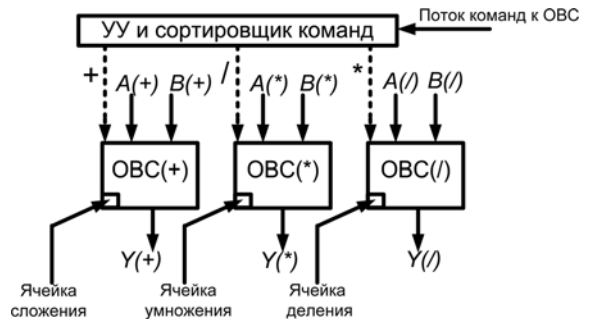


Рис. 2. Вариант АЛУ на базе ОВС

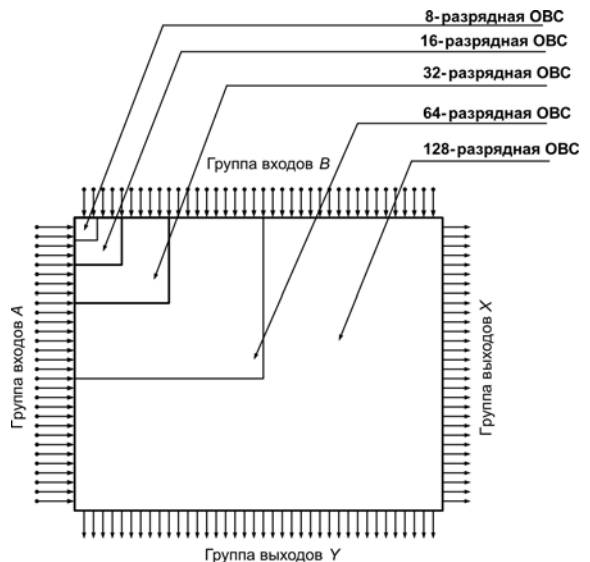


Рис. 3. Увеличение аппаратных затрат при увеличении разрядности ОВС в позиционной системе счисления



Рис. 4. Увеличение аппаратных затрат при увеличении разрядности ОВС в СОК

Предположим, что одна ячейка ОВС — это единица аппаратных затрат на реализацию ОВС при соблюдении следующих условий [6].

1. Операционные части исследуемых ОВС (ОЧОВС) выполняют однотипные операции.

2. Настройка операционной среды выполняется устройством управления ОВС, а ход выполнения операции в ОЧОВС определяется промежуточными значениями данных, обрабатываемых в ОЧОВС.

При выполнении данных условий можно, подсчитав число ячеек, требуемых для выполнения ОЧОВС той или иной операции, рассчитать ее аппаратные затраты без учета аппаратных затрат на реализацию устройства управления.

Для количественной оценки аппаратных затрат на реализацию операционной части ОВС в позиционной системе счисления и СОК отметим особенности организации ОВС в данных системах счисления.

Как показано в работах [13–15] ОВС для реализации арифметических операций в позиционной системе счисления представляет собой матрицу  $N \times N$ , где  $N$  — число столбцов и строк операционной части ОВС, необходимое для реализации

требуемой операции, и разрядность обрабатываемых данных.

Операционная часть ОВС в СОК представляет собой матрицу  $N \times M$ , где  $N$  — число строк матрицы и разрядность данных, а  $M$  — число столбцов матрицы операционной части ОВС в СОК, где  $M \geq N$ , это связано со спецификой выполнения операций в модулярной арифметике [12]. Так, после выполнения операции в СОК возможна коррекция результата, максимальное число тактов коррекции — два [12]. Таким образом, на каждый столбец матрицы в позиционной ОВС приходится три столбца в ОВС СОК. Если рассматривать число строк ОЧОВС, которое в обоих случаях равно разрядности данных, то получим, что ОВС в СОК обрабатывают данные разрядностью не более 7 бит [12] при условии, что исходные данные имели разрядность не более 128 разрядов. При этом в работе [13] доказано и показано на примере, что возможно совмещение в одном столбце как обработки данных, так и коррекции результата, таким образом полноценная обработка данных при корректном размещении связей внутри столбца конвейера и между его столбцами дает нам  $M = N$ . Если разрядность исходных данных превышает 128-разрядный диапазон, то для их обработки требуются ОЧОВС для СОК 8- и более разрядные [12, 13], получается или одна большая матрица в позиционной системе счисления (см. рис. 3), или набор небольших матриц, каждая из которых работает с данными по конкретному модулю (см. рис. 4). Аппаратные затраты на реализацию операционной части ОВС в позиционной системе счисления и ОВС в СОК рассчитываются из следующих соображений [13] (табл. 1).

Если матрица ОЧОВС реализации в позиционной системе счисления, то формула расчета ее трудоемкости равна  $N \cdot N$ .

Для матриц ОЧОВС реализации в СОК выражение для расчета аппаратной сложности зависит от разрядности исходных данных. Так, для реализации ОЧОВС в СОК для работы с 8-разрядными данными требуется одна матрица ОЧОВС по модулю 2 и одна матрица ОЧОВС по модулю 7. Число и разрядность ОЧОВС для работы с данными той или иной разрядности рассчитываются путем деления максимально возможного числа заданной разрядности на модули СОК, начиная с самого боль-

Таблица 1

Объем аппаратных затрат при реализации вычислений в ОЧОВС

Разрядность данных, поступивших на обработку	Размерность ОВС в позиционной системе счисления, необходимая для обработки данных	Число ячеек ОВС в позиционной системе счисления, необходимое для обработки данных	Разрядность данных, поступивших на обработку	Размерность ОВС в СОК, необходимая для обработки данных	Число ячеек ОВС в СОК, необходимое для обработки данных
8	$8 \times 8$	64	1 + 7	1 × 3 и 7 × 7	50
16	$16 \times 16$	256	2 + 7	2 × 6 и 7 × 7	65
32	$32 \times 32$	1024	$4 \cdot 7 + 6 + 2$	7 × 7 и 6 × 6 и 1 × 3	235
64	$64 \times 64$	4096	$1 + 2 \cdot 6 + 8 \cdot 7$	1 × 3 и 6 × 6 и 7 × 7	467
128	$128 \times 128$	16384	$8 \cdot 7 + 7 \cdot 6 + 7 \cdot 5 + 2 \cdot 4 + 2 \cdot 3 + 1$	7 × 7 и 6 × 6 и 5 × 5 и 4 × 4 и 3 × 3 и 1 × 3	872

шого модуля, на который возможно поделить требуемое число. Итерационный процесс деления на рабочие модули СОК прекращается при условии, что полученный остаток меньше двух, так как два — минимальный рабочий модуль системы остаточных классов [1]. Данная методика подсчета числа матриц ОЧОВС, требуемых для организации модульных вычислений, и их размерности применима для данных с любой разрядностью. Отметим, что для выполнения арифметических операций по заданному модулю возможно применение нескольких матриц одной размерности. Так, для организации 32-разрядных вычислений требуются четыре 7-разрядные матрицы, каждая из которых настроена на работу с индивидуальным модулем (см. табл. 1). Расчеты, приведенные в табл. 1 и на рис. 5, показывают, что аппаратные затраты позиционных ОВС в несколько раз больше аппаратных затрат ОВС СОК.

Расчеты пространственной сложности ОВС в позиционной системе счисления на основе формул и свойств вычисления, проводят по следующим формулам:

$$\sum_{i=1}^n K \cdot SPACE(M_i \cdot N_i + 2D_i); \quad (1)$$

$$\sum_{i=1}^n K \cdot SPACE(M_i \cdot N_i + D_i(D_i - 1)); \quad (2)$$

$$\sum_{i=1}^n K \cdot SPACE(M_i \cdot N_i \cdot D_i + 2D_i); \quad (3)$$

где индексы элементов  $M$ ,  $D$ ,  $N$  определяют разрядность соответствующих элементов формул, при этом  $K$  — это количество однородных вычислительных структур с параметрами  $M_i$ ,  $N_i$  и  $D_i$ . Формулы (1)—(3) учитывают специфику представления данных, так (1) — формула пространственной сложности ОВС при массово-последовательных разрядно-параллельных вычислениях [2] и при массово-последовательных разрядно-последовательных вычислениях; (2) — формула пространственной сложности ОВС при массово-параллельных разрядно-последовательных вычислениях [2]; (3) — формула пространственной сложности ОВС при массово-параллельных разрядно-параллельных вычислениях [2, 3].

На основании формул (1)—(3) требуется получить формулы, учитывающие специфику построения операционной части ОВС в СОК, так как в отличие от позиционной системы счисления ОВС в СОК состоит зачастую из нескольких вычислительных матриц.

В табл. 2—5 представлены правила формирования вычислительного пространства ОВС СОК для различных типов вычислений.

По формулам, приведенным в табл. 2—5, рассчитаем численные значения пространственной сложности матричных вычислений и сведем их в единой табл. 6.

Расчеты, приведенные в табл. 6, показывают, что для работы с  $N$ -разрядными данными в позиционной системе счисления требуются ОВС, аппа-

ратные затраты которых многократно возрастают с увеличением разрядности данных. В то время как в СОК, используя матрицу по максимальному модулю, с каналами подстройки среды для работы по конкретному модулю возможно существенное сокращение аппаратных затрат, требуемых для обработки информации (для работы с числами вплоть до 256 разрядов — это 7-разрядный модуль [1]). Наглядная иллюстрация данного вывода представлена на рис. 5.

Таблица 2

Массово-последовательные разрядно-параллельные вычисления в ОВС СОК

№	Разрядность обрабатываемых данных, бит	Число (шт.) и разрядность ОВС СОК, бит	Формулы для расчета пространственной сложности
1	8	1 ОВС — 7 × 7 1 ОВС — 1 × 1	$SPACE(M1 \cdot N1 + 2 \cdot D1) + SPACE(M7 \cdot N7 + 2 \cdot D7)$
2	16	1 ОВС — 7 × 7, 1 ОВС — 2 × 2	$SPACE(M2 \cdot N2 + 2 \cdot D2) + SPACE(M7 \cdot N7 + 2 \cdot D7)$
3	32	4 ОВС — 7 × 7, 1 ОВС — 6 × 6, 1 ОВС — 2 × 2	$4 \cdot SPACE(M7 \cdot N7 + 2 \cdot D7) + SPACE(M6 \cdot N6 + 2 \cdot D6) + SPACE(M2 \cdot N2 + 2 \cdot D2)$
4	64	8 ОВС — 7 × 7, 2 ОВС — 6 × 6, 1 ОВС — 1 × 1	$SPACE(M1 \cdot N1 + 2 \cdot D1) + 2 \cdot SPACE(M6 \cdot N6 + 2 \cdot D6) + 8 \cdot SPACE(M7 \cdot N7 + 2 \cdot D7)$
5	128	8 ОВС — 7 × 7, 7 ОВС — 6 × 6, 7 ОВС — 5 × 5, 2 ОВС — 4 × 4, 1 ОВС — 3 × 3, 1 ОВС — 1 × 1	$SPACE(M1 \cdot N1 + 2 \cdot D1) + 2 \cdot SPACE(M3 \cdot N3 + 2 \cdot D3) + 2 \cdot SPACE(M4 \cdot N4 + 2 \cdot D4) + 7 \cdot SPACE(M5 \cdot N5 + 2 \cdot D5) + 7 \cdot SPACE(M6 \cdot N6 + 2 \cdot D6) + 8 \cdot SPACE(M7 \cdot N7 + 2 \cdot D7)$
Примечание. $M$ — число строк в ОВС СОК; $N$ — число столбцов ОВС СОК; $D$ — разрядность обрабатываемых данных.			

Таблица 3

Массово-последовательные разрядно-последовательные вычисления в ОВС СОК

№	Разрядность обрабатываемых данных, бит	Число (шт.) и разрядность ОВС СОК, бит	Формулы для расчета пространственной сложности
1	8	1 ОВС — 7 × 7, 1 ОВС — 1 × 1	$SPACE(M1 \cdot N1 + 2 \cdot D1) + SPACE(M7 \cdot N7 + 2 \cdot D7)$
2	16	1 ОВС — 7 × 7, 1 ОВС — 2 × 2	$SPACE(M2 \cdot N2 + 2 \cdot D2) + SPACE(M7 \cdot N7 + 2 \cdot D7)$
3	32	4 ОВС — 7 × 7, 1 ОВС — 6 × 6, 1 ОВС — 2 × 2	$4 \cdot SPACE(M7 \cdot N7 + 2 \cdot D7) + SPACE(M6 \cdot N6 + 2 \cdot D6) + SPACE(M2 \cdot N2 + 2 \cdot D2)$
4	64	8 ОВС — 7 × 7, 2 ОВС — 6 × 6, 1 ОВС — 1 × 1	$SPACE(M1 \cdot N1 + 2 \cdot D1) + 2 \cdot SPACE(M6 \cdot N6 + 2 \cdot D6) + 8 \cdot SPACE(M7 \cdot N7 + 2 \cdot D7)$
5	128	8 ОВС — 7 × 7, 7 ОВС — 6 × 6, 7 ОВС — 5 × 5, 2 ОВС — 4 × 4, 2 ОВС — 3 × 3, 1 ОВС — 1 × 1	$SPACE(M1 \cdot N1 + 2 \cdot D1) + 2 \cdot SPACE(M3 \cdot N3 + 2 \cdot D3) + 2 \cdot SPACE(M4 \cdot N4 + 2 \cdot D4) + 7 \cdot SPACE(M5 \cdot N5 + 2 \cdot D5) + 7 \cdot SPACE(M6 \cdot N6 + 2 \cdot D6) + 8 \cdot SPACE(M7 \cdot N7 + 2 \cdot D7)$
Примечание. $M$ — число строк в ОВС СОК; $N$ — число столбцов ОВС СОК; $D$ — разрядность обрабатываемых данных.			

Таблица 4

**Массово-параллельные разрядно-последовательные вычисления в ОВС СОК**

№	Разрядность обрабатываемых данных, бит	Число (шт.) и разрядность ОВС СОК, бит	Формулы для расчета пространственной сложности
1	8	1 ОВС — 7 × 7, 1 ОВС — 1 × 1	$SPACE(M1 \cdot N1 + D1(D1 - 1)) +$ $+ SPACE(M7 \cdot N7 + D7(D7 - 1))$
2	16	1 ОВС — 7 × 7, 1 ОВС — 2 × 2	$SPACE(M2 \cdot N2 + D2(D2 - 1)) +$ $+ SPACE(M7 \cdot N7 + D7(D7 - 1))$
3	32	4 ОВС — 7 × 7, 1 ОВС — 6 × 6, 1 ОВС — 2 × 2	$4 \cdot SPACE(M7 \cdot N7 + 2 \cdot D7) +$ $+ SPACE(M6 \cdot N6 + 2 \cdot D6) +$ $+ SPACE(M2 \cdot N2 + 2 \cdot D2)$
4	64	8 ОВС — 7 × 7, 2 ОВС — 6 × 6, 1 ОВС — 1 × 1	$SPACE(M1 \cdot N1 + 2 \cdot D1) +$ $+ 2 \cdot SPACE(M6 \cdot N6 + 2 \cdot D6) +$ $+ 8 \cdot SPACE(M7 \cdot N7 + 2 \cdot D7)$
5	128	8 ОВС — 7 × 7, 7 ОВС — 6 × 6, 7 ОВС — 5 × 5, 2 ОВС — 4 × 4, 2 ОВС — 3 × 3, 1 ОВС — 1 × 1	$SPACE(M1 \cdot N1 + 2 \cdot D1) +$ $+ 2 \cdot SPACE(M3 \cdot N3 + 2 \cdot D3) +$ $+ 2 \cdot SPACE(M4 \cdot N4 + 2 \cdot D4) +$ $+ 7 \cdot SPACE(M5 \cdot N5 + 2 \cdot D5) +$ $+ 7 \cdot SPACE(M6 \cdot N6 + 2 \cdot D6) +$ $+ 8 \cdot SPACE(M7 \cdot N7 + 2 \cdot D7)$

Примечание. *M* — число строк в ОВС СОК; *N* — число столбцов ОВС СОК; *D* — разрядность обрабатываемых данных

Таблица 5

**Массово-параллельные разрядно-параллельные вычисления в ОВС СОК**

№	Разрядность обрабатываемых данных, бит	Число (шт.) и разрядность ОВС СОК, бит	Формулы для расчета пространственной сложности
1	8	1 ОВС — 7 × 7, 1 ОВС — 1 × 1	$SPACE(M1 \cdot N1 \cdot D1 + 2 \cdot D1) +$ $+ SPACE(M7 \cdot N7 \cdot D7 + 2 \cdot D7)$
2	16	1 ОВС — 7 × 7, 1 ОВС — 2 × 2	$SPACE(M2 \cdot N2 \cdot D2 + 2 \cdot D2) +$ $+ SPACE(M7 \cdot N7 \cdot D7 + 2 \cdot D7)$
3	32	4 ОВС — 7 × 7, 1 ОВС — 6 × 6, 1 ОВС — 2 × 2	$4 \cdot SPACE(M7 \cdot N7 \cdot D7 + 2 \cdot D7) +$ $+ SPACE(M6 \cdot N6 \cdot D6 + 2 \cdot D6) +$ $+ SPACE(M2 \cdot N2 \cdot D2 + 2 \cdot D2)$
4	64	8 ОВС — 7 × 7, 2 ОВС — 6 × 6, 1 ОВС — 1 × 1	$SPACE(M1 \cdot N1 + 2 \cdot D1) +$ $+ 2 \cdot SPACE(M6 \cdot N6 + 2 \cdot D6) +$ $+ 8 \cdot SPACE(M7 \cdot N7 + 2 \cdot D7)$
5	128	8 ОВС — 7 × 7, 7 ОВС — 6 × 6, 7 ОВС — 5 × 5, 2 ОВС — 4 × 4, 2 ОВС — 3 × 3, 1 ОВС — 1 × 1	$SPACE(M1 \cdot N1 + 2 \cdot D1) +$ $+ 2 \cdot SPACE(M3 \cdot N3 + 2 \cdot D3) +$ $+ 2 \cdot SPACE(M4 \cdot N4 + 2 \cdot D4) +$ $+ 7 \cdot SPACE(M5 \cdot N5 + 2 \cdot D5) +$ $+ 7 \cdot SPACE(M6 \cdot N6 + 2 \cdot D6) +$ $+ 8 \cdot SPACE(M7 \cdot N7 + 2 \cdot D7)$

Примечание. *M* — число строк в ОВС СОК; *N* — число столбцов ОВС СОК; *D* — разрядность обрабатываемых данных.

В конечном итоге, в результате исследования получен способ теоретической оценки пространственной сложности, адекватность которого была проверена реализацией вычислительных устройств на базе различных типов ПЛИС, с последующим анализом аппаратных затрат в САПР Aldec Active HDL. Практичность способа доказана неоднократным использованием в рамках грантов.

Таблица 6

**Расчеты пространственной сложности ОВС**

Способ представления данных	Разрядность данных	Численные значения пространственной сложности позиционной ОВС	Разрядность данных	Численные значения пространственной сложности ОВС в СОК
Массово-последовательные разрядно-параллельные вычисления	8	80	9	66
	16	288	10	71
	32	1088	14	308
	64	4224	14	608
	128	16640	17	1118
Массово-последовательные разрядно-последовательные вычисления	8	80	9	66
	16	288	10	71
	32	1088	14	308
	64	4224	14	608
	128	16640	17	1118
Массово-последовательные разрядно-последовательные вычисления	8	120	9	92
	16	496	10	97
	32	2016	14	434
	64	8128	14	861
	128	32640	17	1607
Массово-последовательные разрядно-последовательные конвейерные вычисления	8	528	9	360
	16	4128	10	369
	32	3283	14	1668
	64	26230	14	3315
	128	209700	17	5610

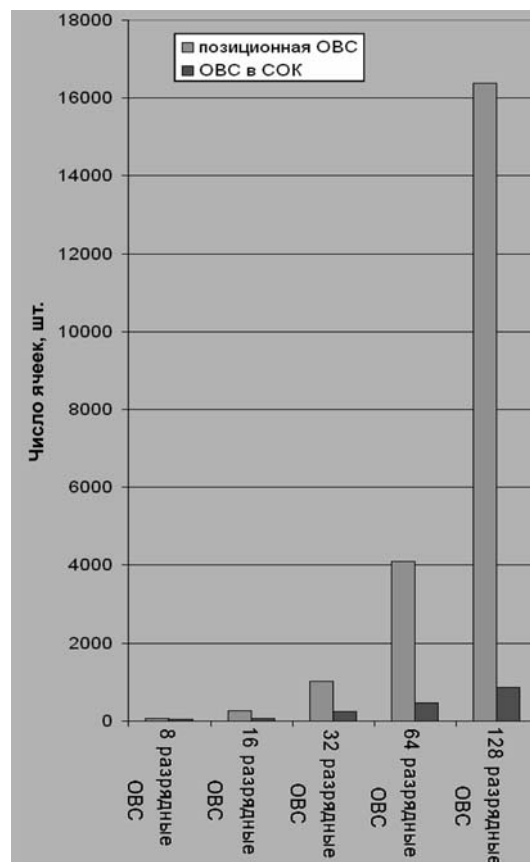


Рис. 5. Объем аппаратных затрат при реализации вычислений в ОЧОВС

Несмотря на наличие в средствах реализации СБИС систем программных модулей для расчета и визуализации аппаратных затрат, данный способ на ранних этапах формирования архитектуры позволяет оценить адекватность аппаратных затрат и внести нужные разработчикам коррективы, также автор неоднократно применял данный способ при обосновании патентных решений на базе однородных вычислительных систем [3].

#### Список литературы

1. Акушкин И. Я., Юдицкий Д. И. Машинная арифметика в остаточных классах. М.: Сов. радио, 1968. 439 с.
2. Федюнин Р. Н. Оценка пространственно-временной сложности и способы повышения скорости двоичных арифметических операций // Научное обозрение. 2006. № 3. С. 100—111.
3. Федюнин Р. Н., Князьков В. С. Ячейка однородной вычислительной среды / Патент РФ 2284568. Оpubл. 27.09.2006. Бюл. № 27.
4. Пат. 2491612 Российская Федерация, МПК G06F7/50. Способ организации вычислений суммы  $n$   $m$ -разрядных чисел / Осинин И. П., Князьков В. С. Оpubл. 27.08.2013 г., Бюл. № 24.
5. Амербаев В. М., Балака Е. С., Константинов А. В., Тельпухов Д. В. Реализация обратного преобразователя модулярной арифметики, совмещенного с операцией округления для задач ЦОС // V Всероссийская научно-техническая конференция "Проблемы разработки перспективных микро- и наноэлектрон-

ных систем — 2012". Сб. науч. тр. / Под общ. ред. А. Л. Стемпковского. М.: ИППМ РАН, 2012. С. 535—538.

6. Головкин Б. А. Параллельные вычислительные системы. М.: Наука; Главная редакция физмат литературы, 1980. 517 с.
7. Pramod Kumar Meher. Hardware-Efficient Systolization of DA-based Calculation of Finite Digital, Convolution Circuits and Systems II: Express Briefs, IEEE Transactions. Is. 8. Date Aug. 2006. P. 707—711.
8. Maltsev A., Pestretsov V., Maslennikov R., Khoryaev A. Triangular systolic array with reduced latency for QR-decomposition of complex matrices // Circuits and Systems, 2006. ISCAS 2006. Proceedings IEEE International Symposium. 2006. P. 602—608.
9. Карцев М. А., Брик В. А. Вычислительные системы и синхронная арифметика. М.: Радио и связь, 1981. 359 с.
10. Карцев В. А. Арифметика цифровых машин. М.: Наука, 1979. 575 с.
11. Останиевич А. В. Экспериментальное исследование поддержки предметных вычислений в архитектуре с явно выраженным параллелизмом // Информационные технологии и вычислительные системы. 1999. № 1.
12. Костин А. Е., Шангин В. Ф. Организация и обработка структур данных в вычислительных системах. М.: Высшая школа, 1987. 245 с.
13. Hegde G., Prasanna C., Raj P., Vaya P. R. Implementation of Systolic Array Architecture for Full Search Block Matching Algorithm on FPGA / European Journal of Scientific Research. 2009. Vol. 33, N. 4. P. 606—616.
14. Князьков В. С., Бикташев Р. А. Параллельные вычислительные системы с ОКМД-архитектурой: Уч. пособие. Пенза: RIO Пензенского политехнического ин-та, 1991. 51 с.
15. Федюнин Р. Н. Способ реализации аппаратного слоя VLIW-архитектуры на базе систолических структур // Известия высших учебных заведений, Поволжский регион (Технические науки). Пенза, 2013. № 2. С. 15—22.

R. N. Fedjunin, Ph. D., e-mail: frn\_penza@mail.ru, Penza State University

## The Evaluation of Hardware Complexity Functional Part of ALU Based Systolic Structure

*When designing computing devices, developers have identified two problems: the calculation of the time and hardware complexity of computation. The article describes the method of estimating the hardware complexity of computational modules based on systolic structures.*

*This approach allows quickly and adequately makes the hardware costs of the computational algorithms for positioning and modular systolic structures.*

*Note that in studying the works of hardware complexity calculation considered only for computational structures in a positional number system, and considered in the article is just a way for both positional and for modular data processing.*

*For example the described method of estimating the spatial complexity, as an example, takes the VLIW processor circuit.*

*Each unit ALU processor is systolic structure of class A, hardware complexity is to be evaluated for subsequent comparative analysis with peers.*

**Keywords:** hardware complexity, systolic structure, residue number system, classes of computations, very long instruction word, explicitly parallel instruction computing

#### References

1. Akushskij I. Ja., Judickij D. I. Mashinnaja arifmetika v ostatochnyh klassah. Moscow: Sov. Radio, 1968. 439 p.
2. Fedjunin R. N. Ocenka prostranstvenno-vremennoj slozhnosti i sposoby povysheniya skorosti dvoichnyh arifmeticheskikh operacij. Nauchnoe obozrenie. 2006. N. 3. P. 100—111.
3. Fedjunin R. N., Knjaz'kov V. S. Jachejka odnorodnoj vychislitel'noj sredy. Patent RF 2284568. Publ. 27.09.2006. Vol. N. 27.
4. Osinin I. P., Knjaz'kov V. S. Patent 2491612 Rossijskaja Federacija. MPK G06F7/50. Sposob organizacii vychislenij summy n m-razrdnyh chisel. Publ. 27.08.2013. Vol. N. 24.
5. Amerbaev V. M., Balaka E. S., Konstantinov A. V., Tel'puhov D. V. Realizacija obratnogo preobrazovatelja moduljarnoj arifmetiki sovmeshchennogo s operaciej okruglenija dlja zadach COS. V Vserossijskaja nauchno-tehnicheskaja konferencija "Problemy razrabotki perspektivnyh mikro- i nanojelektronnyh sistem — 2012". Sb. nauch. tr. / Ed. A. L. Stempkovskij. M.: IPPM RAN. 2012. P. 535—538.
6. Golovkin B. A. Parallel'nye vychislitel'nye sistemy. M.: Nayka; Glavnaia redakcija fizmat literatury, 1980. 517 p.
7. Pramod Kumar Meher. Hardware-Efficient Systolization of DA-based Calculation of Finite Digital. Convolution Circuits and Systems II: Express Briefs, IEEE Transactions. 2006. Issue 8. Aug. P. 707—711.

8. Maltsev A., Pestretsov V., Maslennikov R., Khoryaev A. Triangular systolic array with reduced latency for QR-decomposition of complex matrices. Circuits and Systems, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium. 2006. P. 602—608.

9. Karcev M. A., Brik V. A. Vychislitel'nye sistemy i sinhronnaja arifmetika. M.: Radio i svjaz', 1981. 359 p.

10. Karcev M. A. Arifmetika cifrovych mashin. M.: Nauka, 1979. 575 p.

11. Ostanevich A. V. Jeksperimental'noe issledovanie podderzhki predmetnyh vychislenij v arhitekture s javno vyrashennym paralelilzom. Informacionnye tehnologii i vychislitel'nye sistemy. 1999. N. 1.

12. Kostin A. E., Shangin V. F. Organizacija i obrabotka struktur dannyh v vychislitel'nyh sistemah. M.: Vysshaja shkola, 1987. 245 p.

13. Hegde G., Prasanna C., Raj P., Vaya P. R. Implementation of Systolic Array Architecture for Full Search Block Matching Algorithm on FPGA. European Journal of Scientific Research. 2009. Vol. 33, N. 4. P. 606—616.

14. Knjaz'kov V. S., Biktashev R. A. Parallel'nye vychislitel'nye sistemy s OKMD-arhitekuroj: uch. posobie. Penza: RIO Penzenskogo politehnicheskogo in-ta, 1991. 51 p.

15. Fedjunin R. N. Sposob realizacii apparatnogo sloja VLIW arhitekтуры na baze sistolicheskikh struktur. Izvestia Vysshih Uchebnyh Zavedenij Povolzhskij Region (Tehnicheskije Nauki), 2013. N. 2. P. 15—22.